

Technologie víceúrovňové metalizace

Studijní materiál k předmětu A4M34SIS – ČVUT FEL – katedra mikroelektroniky

Vývoj integrovaných obvodů je limitován z jedné strany použitelnými materiály vhodných vlastností a ze strany druhé využitelnými technologiemi. Záležitostí posledních několika let je opuštění konvenční kombinace hliníku (pro metalické propoje) a oxidu křemičitého (pro mezivrstevové dielektrikum) ve prospěch mědi a takzvaných low-k materiálů (materiálů s nízkou relativní permitivitou). Tato změna si rovněž žádá změnu technologie, neboť s mědí není možno nakládat stejným způsobem jako s hliníkem, díky této nutnosti spatřila světlo světa technologie Dual Damascene, určující technologie dneška.

1 Úvod

V roce 1965 předpověděl spoluzakladatel společnosti Intel Gordon E. Moore trend vývoje integrovaných obvodů (konkrétně mikroprocesorů), který s drobnými úpravami a odchylkami platí dodnes. Tvrdil, že během každých dvanácti měsíců se zdvojnásobí počet tranzistorů integrovaných na čipu, pracovní frekvence mikroprocesoru, ztrátové teplo produkované mikroprocesorem a integrace čipu (tj. zmenší se minimální technologický rozměr hradla tranzistoru). Jedna z korekcí z dnešního pohledu spočívá ve skutečnosti, že ke zmíněnému zdvojnásobení nyní nedochází s periodou dvanácti, nýbrž zhruba osmnácti měsíců (graf závislosti vývoje ztrácí svou strmost). Jeden z jevů, konkrétně růst počtu tranzistorů integrovaných na čipu je zachycen na Obr. 1.

Tento trend s sebou přináší několik předvídatelných úskalí a několik problémů, ke kterým se dospělo až s postupujícím vývojem.

Do první skupiny předvídatelných problémů patří např. problematika chlazení procesoru, související s rostoucí hodnotou ztrátového tepla na čipu, do druhé skupiny patří např. potřeba hledání nových materiálů a technologických postupů při konstrukci integrovaných obvodů v okamžiku, kdy ty stávající (konvenční) dospějí ke své technologické hranici. Jednotlivými jevy se budou zabývat podkapitoly

Microprocessor	Year of Introduction	Transistors
4004	1971	2,300
8008	1972	2,500
8080	1974	4,500
8086	1978	29,000
Intel286	1982	134,000
Intel386™ processor	1985	275,000
Intel486™ processor	1989	1,200,000
Intel® Pentium® processor	1993	3,100,000
Intel® Pentium® II processor	1997	7,500,000
Intel® Pentium® III processor	1999	9,500,000
Intel® Pentium® 4 processor	2000	42,000,000
Intel® Itanium® processor	2001	25,000,000
Intel® Itanium® 2 processor	2003	220,000,000
Intel® Itanium® 2 processor (9MB cache)	2004	592,000,000

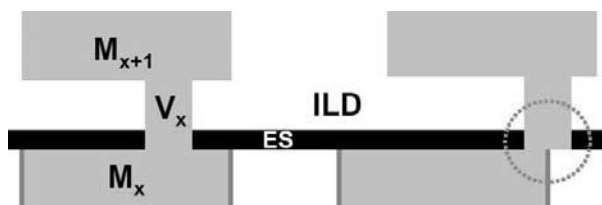
Obr. 1: Znárodnění vývoje integrace mikroprocesorů: počtu tranzistorů integrovaných na čipu (zdroj: [3])

2 Víceúrovňová metalizace

V určitém stádiu vývoje mikroprocesorů již nebylo více možné (kvůli rostoucímu počtu součástí jež musejí být

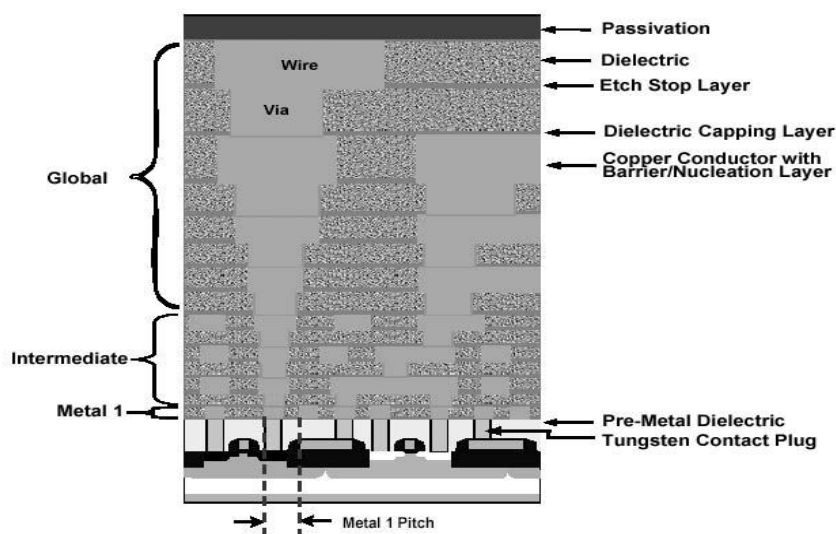
vzájemně propojeny) realizovat metalické spoje v jediné vrstvě, což mělo za následek významný nárůst složitosti výroby integrovaného obvodu, nárůst počtu technologických kroků a v neposlední řadě vzrůst nároků na přesnost výroby, neboť jednotlivé vrstvy musejí být náležitě „slicované“. Situaci dokumentuje Obr. 2.

Dalším problémem při použití vícevrstvé metalizace (a zvýšené integrace obecně) je vzrůst hodnoty ztrátového tepla uvnitř procesoru, neboť na jednotku plochy (objemu) čipu připadá více metalických spojů, s rostoucími nároky na integraci klesá průřez metalického spoje, čímž vrůstá jeho odpor, který zpětně urychluje zahřívání spoje, které má za následek další nárůst odporu.



Obr. 2: Znárodnění správného (vlevo) a chybného (vpravo zakroužkováno) propojení mezi jednotlivými vrstvami metalizace. ILD (inter-layer dielectric) je mezivrstvé dielektrikum, ES (etch stop) je leptací bariéra (zdroj: [3])

Dalším problémem víceúrovňové metalizace je zvýšená pravděpodobnost rušení přeslechů (cross-talk), neboť v jednotce objemu čipu se nyní nachází více metalických spojů, které jsou navíc blíže k sobě.



Obr. 3: Znárodnění metalizace mikroprocesoru pro představu. Z obrázku je patrné, že jednotlivé vrstvy metalizace nemají stejnou výšku a šířku metalického propoje, čím blíže tranzistorů, tím jsou spoje drobnější a diferencovanější. „Obecné“ vodiče jsou umístěny nejdál od tranzistorů

2.2 Materiálová limitace

Problémem několika posledních let (cca od 2001) je technologická hranice stanovená použitými konvenčními materiály. To znamená hliníkem (Al) pro metalické spoje a oxidem křemičitým (SiO_2) pro ILD, neboli meziúrovňové dielektrikum. Především parazitní odpor hliníku (cca $3\mu\Omega\cdot\text{cm}$) a relativní permitivita oxidu křemičitého ($\epsilon_r = 4$) způsobují technologický limit palčivý pro vysoké frekvence a to průchodové zpoždění (propagation delay).

2.2.1 Průchodové zpoždění

Průchodové zpoždění metalického spoje značně ovlivňuje použitelné pracovní frekvence mikroprocesoru

(zpoždění musí být zanedbatelné v porovnání s dobou jednoho pracovního cyklu). Podle [1] (NASA) je dáno vztahem (1):

$$delay_{RC} = 2 \rho \varepsilon \left(\frac{4 L^2}{p^2} + \frac{L^2}{T^2} \right) \quad (1)$$

ρ je měrný odpor materiálu, ε je permitivita ILD, L je délka metalického spoje, p je výška spoje a T je tloušťka spoje (spoj má tvar kvádrů)

Zatímco v minulosti celkovému průchodovému zpoždění signálu na čipu dominovala složka zpoždění na hradle tranzistoru (kvůli větším rozměrům hradla), dnes je rozhodující složkou zpoždění dané metalickým spojem (viz Obr. 3).

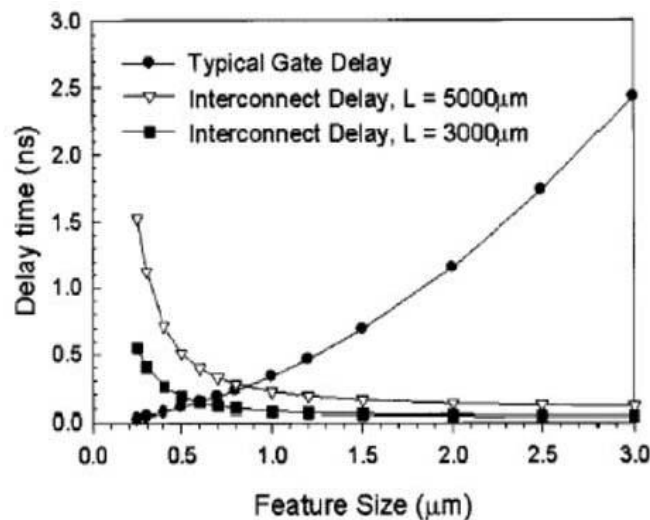
Zjednodušíme-li první rovnici, dá se napsat (2):

$$delay_{RC} = 2 \rho \varepsilon size \quad (2)$$

size - odpovídá pouze rozměrům metalického spoje

neboť výraz v závorce (1) je dán pouze rozměry metalického spoje. Rovnice (2) tedy celou závislost zjednodušuje na přímou úměru mezi průchodovým zpožděním a oběma parazitními parametry.

Požadavkem vývoje je tudíž nalezení takových materiálů, které budou mít oba dva parazitní parametry nižší než konvenční kombinace Al + SiO₂.



Obr. 4: Závislost průchodového zpoždění (Delay time) hradla (Gate) a metalického propoje (Interconnect) na technologickém rozměru (Feature Size) (zdroj: [1])

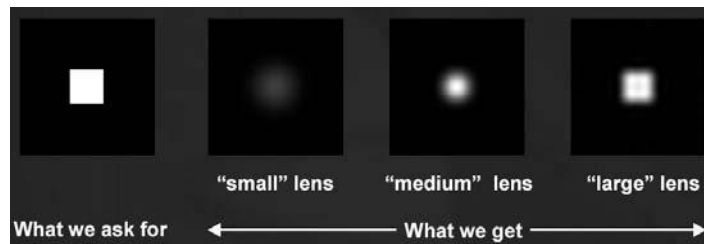
2.3 Limitace výrobní technologie

Při výrobě mikroprocesorů (integrovaných obvodů obecně) se užívá litografie, tj. metody kdy se námi požadovaný vzor, který má být na povrchu waferu vytvoří na tzv. masku, na wafer se nanese vrstva fotorezistu a tento se posléze osvítí (v cestě paprsků je maska). Touto cestou se maskou zakryté části waferu neosvítí a po aplikaci leptadla z nich fotorezist zmizí, čímž umožňuje aby byl námi požadovaný materiál nanesen na zbývajícím fotorezistem nechráněný

povrch waferu. Technologický proces výroby mikroprocesoru obnáší řadu masek a řadu litografických fází (zjednodušeně řečeno každý materiál v každé vrstvě má svou masku a svůj litografický proces). Vzhledem ke skutečnosti, že produkce mikroprocesorů s víceúrovňovou metalizací obnáší více litografických procesů, je nasnadě, že požadavek co možná nejpřesnější realizace tohoto procesu je žádoucí.

Při výrobě submikronových IO je zřejmé, že světlo ve viditelném spektru (vzhledem ke své vlnové délce) nebude technologicky postačovat. Je tedy nutné volit zdroje záření o nižších vlnových délkách, platí čím menší vlnová délka, tím lepší výsledek (vzor na waferu bude ostřejší).

Dalším limitujícím faktorem je čočka, respektive její přesnost a numerická apertura (NA).



Obr. 5: Znárodnění výsledku litografie v závislosti na numerické apertuře použité čočky. Vlevo požadovaný motiv, vpravo výsledné motivy na waferu (zleva doprava rostoucí velikost NA čočky) (zdroj: [3])

Žádoucí je co možná nejvyšší NA použité čočky, zde rovněž platí, že čím vyšší numerická apertura, tím lepší výsledek.

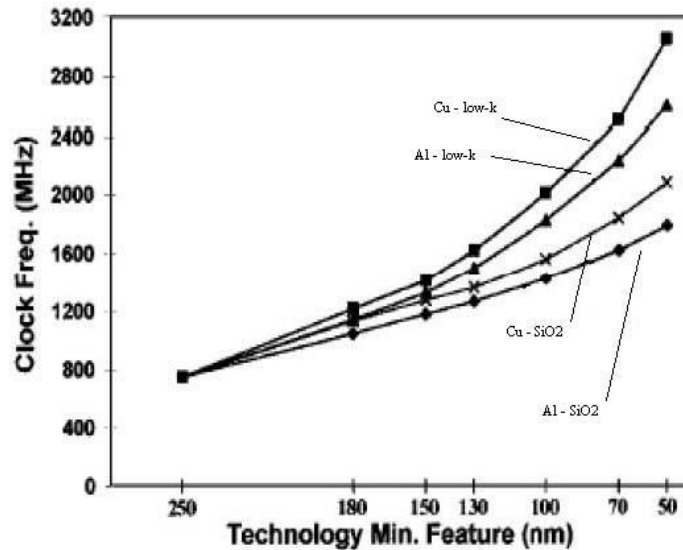
3 Řešení problému

International Technology Roadmap for Semiconductors (ITRS) [2] vydává ročenku, ve které každoročně uvádí nové trendy, výzvy a předsevzetí výrobců integrovaných obvodů. Metalizace v rámci IO má svůj vlastní dokument. Cituje v něm aktuální problémy, technologické požadavky vývoje a možná řešení. V několika tabulkách nabízí přehled technologií které jsou vyzkoumané, ve vývoji, či pro které zatím není řešení.

V souladu s předpokladem vzneseným v podkapitole 2.2 se vývoj ubíral směrem hledání nových materiálů. Vhodnou náhradou hliníku v integrovaných obvodech se ukázala být měď, neboť její rezistivita je oproti hliníku zhruba poloviční (cca $1.7\mu\Omega\cdot\text{cm}$). Původně byla zamýšlena pouze náhrada hliníku mědí a jako ILD byl ponechán SiO_2 , který je snadné na čipu vyrobit. Měď má ovšem oproti hliníku jiné vlastnosti, neboť je velmi obtížné ji leptat. Z tohoto důvodu nebylo možné použít klasické substraktivní leptání, používané při tvorbě hliníkových metalických propojů, bylo tedy nutno vytvořit a implementovat novou technologii, která by dokázala aplikovat měď jakožto médium pro metalické propoje v mikroprocesoru. Došlo tedy ke zrodu technologie Dual Damascene.

3.1 Dual Damascene - technologické řešení

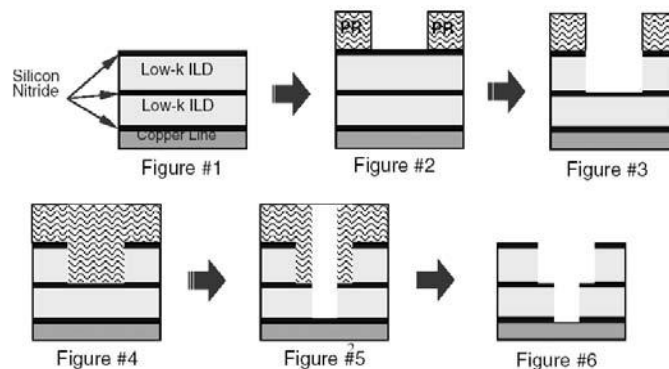
Ačkoliv se původně pro tuto technologii počítalo s oxidem křemičitým coby mezivrstevným dielektrikem, v duchu rovnice (1) se nakonec vývoj začal ubírat směrem k materiálům s nižší relativní permitivitou, tzv. low-k materiálům (v anglosaské literatuře bývá relativní permitivita ϵ_r značena symbolem k). Specifické vlastnosti mědi, spolu s určitou choulostivostí low-k materiálů vedly k úpravě technologie Dual Damascene a dnes existují v podstatě dva přístupy tvorby propojení, metoda trench-first (trench-first approach) a metoda via-first (via-first approach). Trench (ang. zákop) je prostor, který bude vyplněn samotným metalickým propojem, via je propojení mezi dvěma metalickými spoji v různých vrstvách metalizace. Určitou komplexní technologickou jednotkou je tedy (litografické) vytvoření prostoru pro samotný spoj a mezivrstevný propoj a vyplnění tohoto prostoru mědí.



Obr. 6: Závislost velikosti hodinového kmitočtu na materiálové kombinaci ve vrstvě metalizace (zdroj: [1])

3.1.1 Trench-first approach

Tato metoda upřednostňuje jako první tvorbu trenchů. Situaci znázorňuje Obr. 7.



Obr. 7: Znázornění technologické produkce Dual Damascene metodou Trench-first. PR je fotorezist, tmavé mezivrstvy (Silicon Nitride) slouží jako hard mask (na povrchu-mechanická a chemická ochrana ILD) a Etch stop (leptací bariéra) (zdroj: [5])

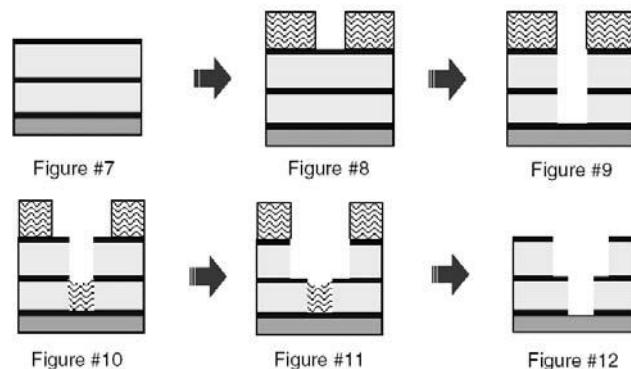
Na povrch waferu je nanášen fotorezist a po aplikaci masky a odstranění nevyužitého fotorezistu (fig. 1) je použito anisotropní suché leptadlo, které odleptá svrchní hard mask a vrstvu ILD a zastaví se až na vrstvě Etch stop (fig. 2). Posléze je fotorezist odstraněn a ve struktuře je nyní vytvořen trench. Svrchní hard mask je třeba z důvodu náchylnosti low-k ILD na proces odstraňování zbylého fotorezistu (může odstraňovat rovněž ILD, nebo měnit jeho vlastnosti), low-k materiály jsou citlivé na stejné chemikálie, které se podílejí na odstraňování fotorezistu. Navíc hard mask funguje jako ochrana ILD proti CMP (Chemical Mechanical Polishing), metodě již se nakonec finišuje nanášením mědi.

V následujícím kroku je opět nanášen fotorezist a je v něm vytvořen vzor pomocí další masky. Leptadlo propojuje v následovně proleptá vrstvu Etch stop a zároveň následující vrstvu ILD až k poslední bariéře na dně via (fig.5). V dalším kroku je spodní bariéra odstraněna jiným speciálním leptadlem a je odstraněn fotorezist (fig. 6). Pro dokončení procesu je potřeba trench i via vyplnit mědí. Protože měď by bez jakékoliv bariéry difundovala do ILD, je nutné nanést na stěny ILD tenkou bariéru z Tantalumu. V následujícím kroku je pomocí prachové depozice PVD (Physical Vapour Deposition) nanášen základ měděné vrstvy, která se posléze nanese galvanicky na základní vrstvu. Metodou CMP je posléze měď začištěna do úrovně trenchů a pokryta tenkou ochrannou vrstvou nitridu křemíku. Tím je struktura dokončena.

Hlavní nevýhodou tohoto přístupu je (jak je patrné z fig. 4) zaplnění trenchů fotorezistem pro leptání via (photoresist pooling effect), tím se vytvoří velmi silná vrstva fotorezistu v místech, kde by se měl vyleptat propoj mezi vrstvami. Je velmi těžké zformovat v tak silné vrstvě fotorezistu přesnou strukturu propoje via, pro velmi malé rozměry bude mít via nepředvídatelné hranice. Tato nevýhoda způsobuje, že výrobci opouštějí tuto metodu pro technologie pod 0.25 mikronu.

3.1.2 Via-first approach

Tato metoda vytváří nejprve propojku via (čímž je odstraněna nevýhoda uvedená v předešlé podkapitole).



Obr. 8: Znárodnění technologické produkce Dual Damascene metodou Via-first (zdroj: [5])

Obdobně jako v předešlém případě je zde nejprve nanesen fotorezist, osvícen pod maskou a přebytečný odstraněn (fig. 8). V další fázi anisotropní leptadlo proleptá vrstvy až po spodní bariéru z nitridu křemíku (nad Copper Line - měděným vodičem) (fig. 9). Je velmi důležité, aby tato poslední bariéra zůstala neporušena, protože v opačném případě by se leptadlo via propoje dostalo do kontaktu s mědí pod bariérou a měď by se nastříkala na povrch nechráněného ILD a namigrovala by do jeho objemu, což by způsobilo nefunkčnost součástky.

V příštím kroku je odstraněn fotorezist via propoje a je nanesen a pod maskou osvícen fotorezist trenchů (fig. 10). Část fotorezistu zůstane na dně via propoje a bude je chránit před přepleptáním. Dále anisotropní leptadlo opět proleptá hard mask a ILD vrstvu až k další bariéře (fig. 11). Tím je vytvořen trench a následně se odstraní fotorezist. Nitridová bariéra na dně via propoje je šetrně odstraněna pomocí jemného, nízkoenergetického leptadla, které nezpůsobuje při kontaktu s mědí její rozstříkování (fig. 12). Následný postup je shodný s předchozí kapitolou (nanesení tantalu, prachová depozice, galvanická depozice, CMP a zakrytí novou vrstvou hard mask).

Tato metoda je preferována většinou výrobců a je s úspěchem používána k přípravě součástek s velmi malou geometrií, neboť zde nedochází k onomu photoresist pooling efektu v takové míře, jaká je popsána v předchozí kapitole. K tomuto efektu zde dochází pouze ve zmenšené míře na dně via propoje, kde je navíc využit k ochraně dna před leptadlem trenchů.

3.1.3 Problémy

Ačkoliv metoda via-first byla s úspěchem použita pro proces Dual Damascene v implementaci s SiO_2 , FSG (Fluorinated Silicate Glass) a některé ranné verze low-k materiálů, čelí závažným problémům při použití ultra low-k materiálů pro ILD. Vzhledem ke skutečnosti, že ultra low-k materiály jsou porézní, může docházet při zmíněném photoresist pooling k absorpci zůstatkového fotorezistu do ILD, což změní jeho vlastnosti (především bedlivě sledovanou relativní permitivitu k).

Další problém tkví v metodě CMP (finišování povrchu mědi.), vzhledem k tomu, že mnohé low-k materiály pohlcují vlhkost (a tím mění své k), musí být ILD bezpečně chráněno před vystavením chemikáliím účinkujícím při CMP.

Dalším limitem této technologie je poměrně vysoká relativní permitivita vrstvy nitridu křemíku (6 až 8), která samozřejmě zvyšuje celkovou permitivitu ILD vrstvy. Možným řešením se jeví použití amorfního SiC:H , tento materiál se zatím jeví slibně, má menší k než nitrid křemíku, dobré adhezni vlastnosti, je inertní, a je dobrou bariérou jak pro

vlhkost, tak pro difuzi mědi. Tyto vlastnosti jej předurčují aby byl jak dobrým materiálem pro hard mask, tak pro etch stop. Vývoj na poli low-k materiálu pro ILD stále není dokončen. S volbou konkrétního low-k materiálu souvisí i volba bariérového materiálu.

3.1.4 Extrémní DUV litografie

Odpověď na problémy vznesené v kapitole 2.3 se dají rozlišit do dvou kategorií. První z nich je RET (Resolution Enhancement Technology), neboli zlepšování rozlišovací schopnosti technologie (vylepšování technologie). Příkladem toho je EUV Litografie (Extreme Ultra-Violet), podporovaná např firmou Intel, která má pomocí světla s velmi krátkou vlnovou délkou (soft x-ray) produkovat tranzistory s rozměry až ke 20 nm (pod touto hranicí křemíkové tranzistory přestávají fungovat). Více informací poskytuje [6].

3.1.5 OPC

Další cestou je tzv. OPC (Optical Proximity Correction), neboli optická korekce. Vrátime-li se k Obr. 5, je jisté, že snahou je, aby se výsledný motiv na waferu co nejlépe podobal motivu masky. Pokud není k dispozici lepší technologie, mohou pomoci optické korekce znázorněné na Obr. 9:

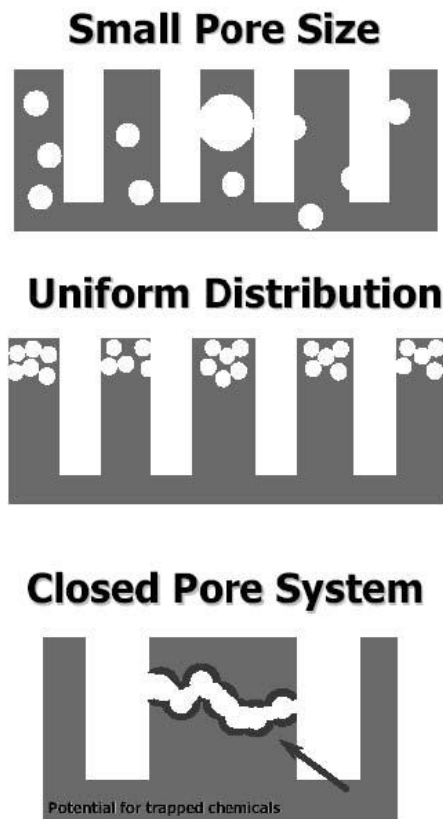


Obr. 9: Optické korekce na masce. Vlevo požadovaný motiv, uprostřed korekce masky, vpravo výsledný motiv. (zdroj: [3])

Ve srovnání s Obr. 5 zde dochází ke zlepšení ostrosti výsledného motivu na waferu.

3.2 Materiálové řešení

Upřeme-li pozornost směrem k vývoji na poli low-k materiálů, zjistíme, že relativní permitivita není jedinou vlastností, kterou musíme sledovat. Jak již bylo zmíněno, low-k a ultra low-k materiály jsou porézní a to pro nanotechnologie skýtá řadu problémů. U jednotlivých materiálů je nutno sledovat tvar a velikost kavit (prázdných prostor jako v ementálském sýru), střední hodnotu velikosti kavit, rozptyl jejich hodnot, jejich prostorovou distribuci v materiálu a pravidelnost.



Obr. 10: Vlastnosti porézních low-k materiálů. Horní obrázek znázorňuje riziko zkratu pro velké kavity. Prostřední obrázek zobrazuje rovnoměrné rozložení kavit. Dolní obrázek odhaluje rizika porezního ILD (zdroj: [7])

Tyto vlastnosti mohou způsobovat ve strukturách zkraty, zlomy, či jiné negativní jevy.

Všechny tyto vlastnosti dohromady dávají výslednou mechanickou odolnost materiálu a zároveň ovlivňují dielektrické vlastnosti (a jejich prostorové odchylky) materiálu.

Používané materiály se dají rozdělit do dvou skupin: na CVD silikáty a spin-on polymery. Jednotliví výrobci dělí svou přízeň mezi tyto materiálové skupiny, v poslední době (cca od 2003) lze ale vysledovat trend tyto materiály sloučit do hybridní technologie.

Mezi používané a zkoumané materiály patří např. SiLK pryskyřice (Semiconductor Dielectric Resin) poprvé použitá společností Fujitsu pro technologii 130 nm, či OSG (Organo Silicated Glass).

Materiály typu SiLK se dále dělí na druhy (Y resin, U resin, resin) podle střední velikosti a rozptylu hodnot velikostí kavit (nejlepší vlastnosti v obou směrech vykazuje Y resin).

4 Závěr

Zatímco do doby před zhruba deseti lety byl vývoj na poli mikroprocesorů limitován použitelnou technologií, v poslední době narazila klíčová kombinace Al-SiO₂ na hranice svých možností (omezení pracovní frekvence dané průchodovým zpožděním zapříčiněným parazitními vlastnostmi materiálů) a bylo nutné, aby se vývoj upřel i jiným směrem, směrem hledání nových materiálů. Hliník nahradila měď a pro původní oxid křemičitý se hledají alternativní materiály s nižší relativní permitivitou. Do popředí se díky této materiálové změně dostala technologie Dual Damascene, která umí zacházet se specifickými vlastnostmi mědi.

Vývoj se nadále bude ubírat směrem hledání nových low-k a ultra low-k materiálů přijatelných fyzikálních vlastností, zároveň je zde trend snižování rezistivity mědi (viz Roadmap v [2] pro rok 2005). Je zřejmé, že do budoucna bude rovněž nutné vzhledem k postupující integraci rozšířit hranice víceúrovňové metalizace u mikroprocesorů nad 8 vrstev (9,10), další integrace a zmenšování rozměrů metalizace, např. výška Metal 1 pod 90

nm a dále, či celková délka metalizace (v jednotkách $\text{m}\cdot\text{cm}^{-2}$) nad 2500 a dále, zmenšování tloušťky ochranné bariéry mezi Cu a ILD pod 3.3 nm a dále. Dále bude nutné zlepšovat a nacházet nové leptadla, bariéry mezi ILD (s menším k), nacházet vylepšení pro hard mask a Etch stop vrstvy. V neposlední řadě bude nutné vyvíjet nové nástroje simulace technologií. V delším horizontu bude nutné nalézt dokonce alternativy dnešních křemíkových tranzistorů, neboť technologická hranice je 20 nm.

Použitá literatura

- [1] www.nepp.nasa.gov
- [2] public.itrs.net
- [3] www.intel.com
- [4] www.ibm.com
- [5] www.icknowledge.com
- [6] www.mpronline.com
- [7] www.eeel.nist.gov/812/conference/2005_Talks/Frye.pdf