

Obr. 3.7 Struktura tranzistoru NMOS s implantovaným borem do kanálu pro zkrácení délky oblasti prostorového náboje

Provede se iontová implantace arzénu ( $E = 50 \text{ keV}$  a  $D = 6 \cdot 10^{15} \text{ cm}^{-2}$ ) pro vytvoření oblastí  $N^+$  a částečné rozdifundování.

Selektivním a izotropním leptáním se po stranách sleptá poly Si hradlo. Tímto leptáním se nastaví délka kanálu ( $L$ ) tranzistoru. Je to proto operace náročná.

Po odleptání vrstvy  $Si_3N_4$  a částečné termické oxidaci poly Si hradla se implantuje fosfor pro vytvoření oblastí  $N$  s nižší vodivostí. Přiměsí se rozdifundují do malých hloubek. ( $N^+$  oblast do hloubky  $\sim 0,4 \mu\text{m}$  a  $N$  oblast do hloubky  $\sim 0,2 \mu\text{m}$ ).

Další způsob vytváření struktury LDD s využitím jediné masky je znázorněn na obr. 3.9.

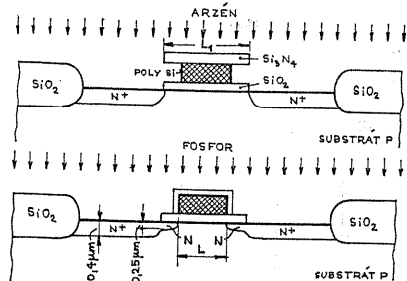
(a) - znázorňuje řez strukturou s první implantací (fosfor) pro vytvoření oblastí emitoru a kolektoru s nižší vodivostí (oblast  $N$ ). Tímto krokem je definována délka kanálu  $L$ .

(b) - struktura po částečném rozdifundování fosforu.

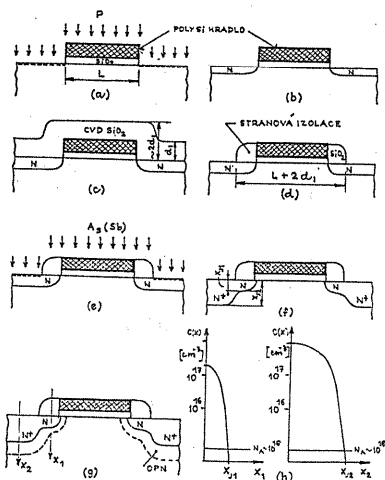
(c) - struktura s pyrolyticky vytvořeným  $SiO_2$  (CVD) při relativně nízké teplotě. (LTO - low temperature oxid). Vrstva  $SiO_2$  je konformní (sleduje dokonale profil, na který je nanášena) a proto roste všude rovnoměrně i po stranách poly Si hradla.

t.j. oblasti emitoru a kolektoru ve tvaru schodovité struktury označované LDD (Lightly Doped Drain) (slabě dotovaný kolektor). Existuje několik způsobů, jak lze strukturu LDD vytvořit pouze jedinou maskou. Na obr. 3.8 je stručně znázorněn jeden z těchto způsobů.

V prvním kroku se přes masku o rozměru  $L_1$  odleptají vrstvy  $Si_3N_4$ , poly Si a  $SiO_2$ .



Obr. 3.8 Vytváření struktury LDD pomocí vrstvy  $Si_3N_4$



Obr. 3.9 Proces vytváření struktury LDD pomocí vrstvy  $SiO_2$

(d) - struktura s anizotropně ( $V_v$  - vertikální leptací rychlost je podstatně vyšší než horizontální leptací rychlost -  $V_h$   $V_v > V_h$ ) odleptanou vrstvou  $SiO_2$  (CVD). Toto je nejdůležitější krok při vytváření struktury LDD. Při anizotropním leptání se vrstva  $SiO_2$  po stranách poly Si hradla neodleptá, protože v těchto místech je tloušťka vrstvy  $SiO_2$  prakticky dvojnásobná v porovnání s tloušťkou vrstvy nad poly Si hradlem, případně v místech vzdálenějších od hradla. Vytvořením stranové izolace poly Si hradel vzniká maska symetricky zvětšená přibližně o hodnotu tloušťky vrstvy  $SiO_2$  na každou stranu, t.j. o hodnotu  $2 d_T$ , ( $L + 2 d_T$ ).

(e) - struktura se stranovou izolací poly Si hradla znázorňující druhou implantaci (arzén nebo antimon) pro vytvoření oblastí emitoru a kolektoru s vyšší vodivostí (oblasti  $N^+$ ).

(f) - struktura po vytvoření oblastí  $N$  a  $N^+$  - struktura LDD. Silně dotované oblasti  $N^+$  nesahají až pod hradlo. Na rozhraní emitor - kanál a kolektor - kanál jsou oblasti s nižší koncentrací (oblasti  $N$ ). Jsou to oblasti s nižším koncentračním gradientem, které snižují i vysoké elektrické pole na rozhraní emitor - kanál a kolektor - kanál. To především snižuje nežádoucí působení horkých elektronů. (Horké elektrony - elektrony s vysokou energií pronikají přes rozhraní  $Si - SiO_2$  do hradlového oxidu a způsobují tak nestabilitu prahového napětí). Tím, že oblasti  $N$  jsou relativně mělké, mají i malou stranovou difúzi. Struktura LDD minimalizuje proto i parazitní kapacity vznikající v důsledku emitoru a kolektoru pod hradlo.

(g) - délky oblasti prostorového náboje se v struktuře LDD rovněž zmenšují v důsledku nižšího koncentračního gradientu na rozhraní emitor - kanál a kolektor - kanál. Snižuje se nebezpečí spojení oblastí prostorového náboje.

(h) - koncentrační profil ve směru  $x_1$  (oblasti  $N$ ) a ve směru  $x_2$  (oblasti  $N^+$ ).

#### 4.0 Princip zmenšování rozměrů funkčních struktur MOS

Vysoká hustota integrace se dosahuje především zmenšováním horizontálních rozměrů struktur IO. Zmenšováním horizontálních rozměrů nemůže být ovšem odděleno od rozměrů vertikálních. Zmenšováním funkčních struktur MOS není triviální úkol, vyžaduje dokonalou úvahu týkající se jak fyzikálních, tak i technologických otázek.

Základní princip, který se uplatňuje při zmenšování geometrických horizontálních i vertikálních rozměrů funkčních struktur a při odpovídající změně dalších parametrů, vychází z podmínky zachování konstantního elektrického pole  $E$ . Když  $U$  je obecná hodnota elektrického potenciálu,  $x$  je obecná hodnota lineárního geometrického rozměru, potom při  $K$ -násobném ( $K > 1$ ) zmenšení rozměru  $x$  na  $x'$

$$x' = \frac{x}{K}, \quad (4.1)$$

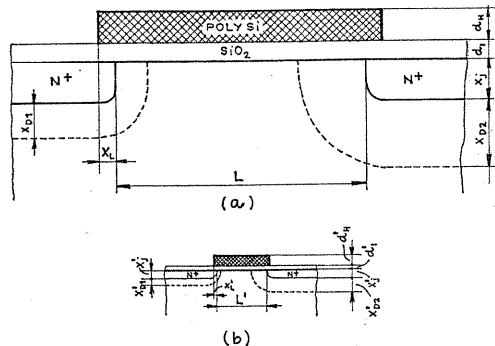
se musí změnit o stejnou hodnotu  $K$  i potenciál  $U$

$$U' = \frac{U}{K} \quad (4.2)$$

tak, aby v každém místě struktury byla zachována konstantní hodnota intenzity elektrického pole

$$E = \frac{U}{x} = \frac{U'}{x'} \quad (4.3)$$

Z tohoto principu lze logicky odvodit další vztahy pro transformaci lineárních geometrických rozměrů, transformaci napětí, koncentrace substrátu a dalších parametrů funkčních struktur tvořících IO. Příklad zmenšení rozměrů funkčních struktur tranzistoru NMOS s délkou kanálu  $L = 5 \mu\text{m}$  na tranzistor s délkou kanálu  $L = 1 \mu\text{m}$  je schematicky znázorněn na obr. 4.1. O zmenšovací faktor  $K = 5$  (tzv. scaling factor) se ve funkční struktuře změní i tloušťka izolantu  $d_i$ , a délka oblasti prostorového náboje  $x_{D1}$ ;  $x_{D2}$  (v důsledku změny koncentrace substrátu  $N_A$ ) a další parametry.



Obr. 4.1 Funkční struktura tranzistoru MOS.  
(a) s délkou kanálu  $L = 5 \mu\text{m}$ ;  
(b) s délkou kanálu  $L = 1$  zmenšenou o faktor  $K = 5$ .

Pro délku oblasti prostorového náboje na přechodu  $N^+ - P$  resp.  $P^+ - N$  polarizovaného v závěrném smeru platí :

$$x_D = \left[ \frac{2 \epsilon_0 \epsilon_S}{q C_B} (U_b + U_A) \right]^{1/2}$$

Pro novou hodnotu délky oblasti prostorového náboje platí :

$$x'_D = \frac{x_D}{K} = \left[ \frac{2 \epsilon_0 \epsilon_S (U_b + U_A/K)}{K q C_B} \right]^{1/2} \quad (4.4)$$

Uvedený vztah platí pouze přibližně, protože i  $U_b$  t.j. potenciálová bariéra je funkcí koncentrace substrátu  $C_B$ ,

$$U_b = \varphi_{FN} + |\varphi_{FP}| = \frac{k T}{q} \left( \ln \frac{N_D}{n_i} + \ln \frac{N_A}{n_i} \right)$$

a proto

$$U'_b \neq \frac{U_b}{K} \quad (4.5)$$

Pro zmenšování vertikálních a horizontálních rozměrů funkční struktury, jako je délka kanálu  $L$ , šířka kanálu  $W$ , tloušťka hradlového izolantu  $d_i$ , hloubka difuze  $x_j$ , velikost stranové difuze  $x_L$  a délka oblasti prostorového náboje  $x_D$  platí :

$$\text{nová hodnota} = \frac{\text{původní hodnota}}{K}$$

Z požadovaného zmenšení délky oblasti prostorového náboje  $x_D$  o faktor  $K$  plyne, že je nutné změnit koncentraci substrátu. Novou hodnotu koncentrace substrátu lze určit ze vztahu pro délku oblasti prostorového náboje, která je funkcí koncentrace substrátu obecně značenou  $C_B$ .

Ze vztahu (4.4) lze pro novou hodnotu koncentrace substrátu psát :

$$C'_B = K C_B \quad (4.6)$$

V důsledku změny koncentrace substrátu a tloušťky hradlového izolantu se změní i hodnota prahového napětí :

$$U'_T = \frac{U_T}{K} = \phi'_{MS} - 2 \varphi'_F - \left[ 2 \epsilon_0 \epsilon_S q C_B (2 \varphi'_F + U_{SB}/K) \right]^{1/2} + q_{ef} \left[ \frac{d_i/K}{\epsilon_0 \epsilon_I} \right] \quad (4.7)$$

Tento vztah platí pouze přibližně, protože jednak Fermiho potenciál  $\varphi_F$ , ale rovněž rozdíl výstupních potenciálů hradlo - polovodičový substrát  $\phi_{MS}$  jsou funkcí koncentrace substrátu.

V důsledku změn parametrů tranzistoru se mění i jeho V-A charakteristiky. Např. pro nesaturační oblast platí :

$$I'_D = \frac{I_D}{K} = \frac{\mu \epsilon_0 \epsilon_I}{d_i/K} \left( \frac{W/K}{L/K} \right) \left( \frac{U_{GS} - U_T - U_{DS}/2}{K} \right) U_{DS}/K \quad (4.8)$$

Přibližná platnost vztahu (4.8) plyne z předchozí úvahy. Lze předpokládat, že efektivní pohyblivost nosičů náboje v kanálu  $\mu$  se v důsledku výchozí podmínky (4.3) nemění.

Souhrnný přehled některých závažnějších parametrů s odpovídajícími zmenšovacími faktory  $K$  je uveden v tab. 4.1

Tab. 4.1

PARAMETR	ZMENŠOVACÍ FAKTOR	PARAMETR	ZMENŠOVACÍ FAKTOR
Lineární geom.rozměry $L$ ; $W$ ; $d_i$ ; $x_j$ ; $x_L$ ; $x_D$	1/K	Kontaktní odpor	$K^2$
Koncentrace substrátu $C_B$	K	Kapacita	1/K
Napětí	1/K	Doba odezvy	1/K
Proud	1/K	Rozptýlený příkon na hradle	1/K <sup>2</sup>
Proudová hustota	K	Dynamická spínací energie	1/K <sup>3</sup>
Plocha	1/K <sup>2</sup>	Frekvenční závislost rozptýleného výkonu	K
Odpor	K	šměrný výkon na čip	1

Princip zmenšování rozměrů funkčních struktur lze obecně aplikovat na libovolnou unipolární technologii PMOS, NMOS nebo CMOS.

Za hlavní výhody vyplývající ze zmenšování rozměrů funkčních struktur lze především označit :

1. Zmenšení plochy čipu IO o faktor  $K^2$
2. Snížení doby odezvy o faktor  $K$
3. Snížení rozptýleného výkonu o faktor  $K^2$
4. Vzrůst odolnosti vůči záření o faktor  $K^2$

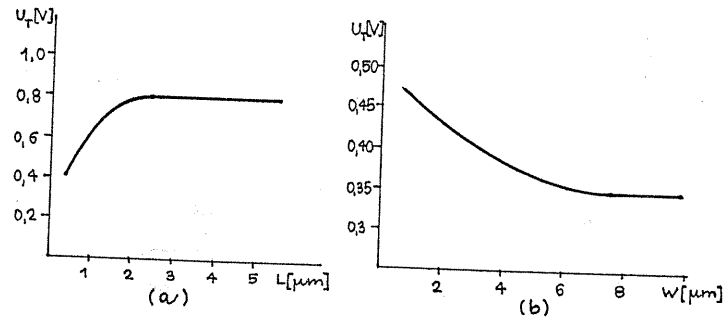
Uvažovaný princip změny parametrů přináší však i negativní efekty :

1. Vzrůst odporu propojovacích linií o faktor  $K$
2. Vzrůst kontaktního odporu o faktor  $K^2$
3. Vzrůst proudové hustoty o faktor  $K$

Změňování rozměrů funkčních struktur přináší některé nežádoucí efekty, se kterými je nutné při vytváření IO počítat. Jsou to především : efekt malého kanálu, injekce horkých elektronů a podprahové proudy.

#### 4.1 Efekt malých geometrických rozměrů kanálu

Tento efekt zahrnuje jak efekt krátkého kanálu, tak i efekt úzkého kanálu. Při dosažení jisté minimální hodnoty délky kanálu  $L$  (v okolí  $1 \mu\text{m}$  a méně) začíná s klesající délkou  $L$  klesat i hodnota prahového napětí - obr. 4.2. Při dosažení



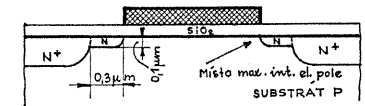
Obr. 4.2 Závislost prahového napětí  $U_T$  : (a) délce kanálu  $L$  ; (b) na šířce kanálu  $W$ .

jisté minimální hodnoty šířky kanálu  $W$  (v okolí  $6 \mu\text{m}$  a méně) začíná s klesající šířkou  $W$  stoupat hodnota prahového napětí. Efekt malých geometrických rozměrů kanálu znamená, že prahové napětí tranzistoru MOS se stává funkcí geometrických rozměrů kanálu  $L$  a  $W$  a to v obráceném poměru než je to běžně známé u strmosti tranzistoru. (Strmost s klesajícím  $L$  stoupá a s klesajícím  $W$  klesá).

Effekt krátkého kanálu není ve vzájemné korelaci s efektem úzkého kanálu, protože rozměry délky kanálu určuje při jeho vytváření maska poly Si hradel a šířku kanálu určuje maska aktivních oblastí. Toto jsou při vytváření tranzistoru dva na sobě nezávislé kroky. Efekt krátkého kanálu je podstatně významnější než efekt úzkého kanálu.

Effekt krátkého kanálu lze redukovat rozložením elektrického pole v oblasti kanálu. Rozložení elektrického pole v kanálu závisí na koncentračním profilu příměsí v oblasti mezi emitorem a kolektorem. Výhodné rozložení koncentrace příměsí, které značně potlačuje efekt krátkého kanálu, zajišťuje struktura LDD - obr. 4.3.

Vytvořením méně strmého přechodu P-N, místo běžného přechodu P- $N^+$  v oblasti styku kanálu s kolektorem, se docílí snížení vysoké intenzity elektrického pole právě v místě, kde tato intenzita dosahuje maximálních hodnot. Tím se samozřejmě redukuje nejen nežádoucí efekt krátkého kanálu, ale rovněž i vliv injekce horkých elektronů. Rovněž vzrůstá kolektorové průrazné napětí, vzrůstá hodnota příčného průrazného napětí a lavinového průrazu.



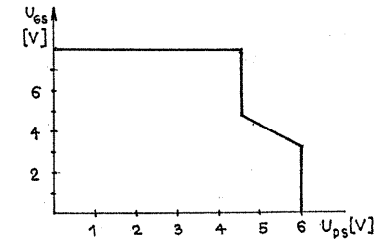
Obr. 4.3 Struktura LDD (Lightly doped drain)

#### 4.2 Injekce horkých elektronů

Jistá část elektronů pohybující se v kanálu mezi emitorem a kolektorem má dostatečnou energii k překonání bariéry na rozhraní Si -  $\text{SiO}_2$  a může se tak dostat do  $\text{SiO}_2$ . Injektované elektrony se zachytávají v pastích  $\text{SiO}_2$ . Množství zachycených elektronů je závislé především na velikosti přiložených napětí na jednotlivých elektrodách, na hustotě zachytných pastí a na velikosti zachytného průřezu. Elektrony zachycené v  $\text{SiO}_2$  způsobují změnu prahového napětí tranzistoru a integrované obvody se tak stávají nestabilní.

Rovněž radiační procesy zvyšují velikost injekce elektronů do izolantu. Tyto procesy se vyskytují při některých technologických operacích, např. plazmatické leptání, napařování elektronovým svazkem, elektronová nebo RTG litografie.

Z hlediska nežádoucího vlivu horkých elektronů na činnost integrovaného obvodu je možné navrhnout oblast napájecích napětí, ve které může obvod spolehlivě pracovat. Pro danou konkrétní technologii je taková oblast znázorněna na obr. 4.4.



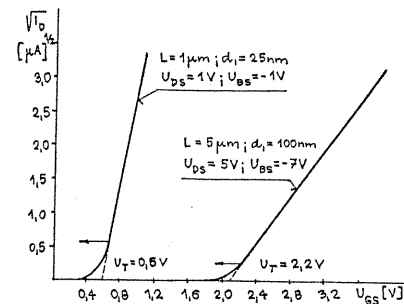
Obr. 4.4 Oblast napájecích napětí, ve které je potlačen vliv horkých elektronů

#### 4.3 Podprahové proudy

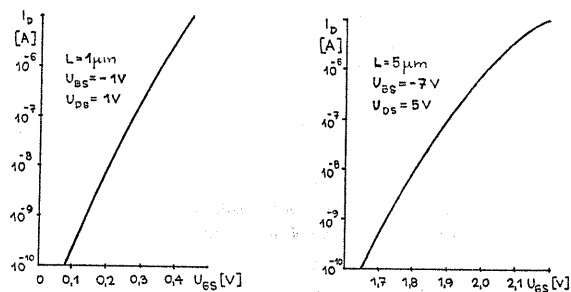
Pod pojmem podprahové proudy se rozumí taková oblast proudů tranzistorů MIS, které protékají tranzistorem, když je ve stavu tzv. slabé inverze ( $|\varphi_F| \leq |\psi_S| \leq 2|\varphi_F|$ ). Proto je podprahová oblast ohraničena z jedné strany

podmínkou rovnosti koncentrace minoritních a majoritních nosičů na povrchu ( $|\varphi_F| = |\psi_S|$ ) a z druhé strany podmínkou rovnosti koncentrace minoritních nosičů na povrchu a majoritních nosičů uvnitř polovodiče. Činnost tranzistorů v podprahové oblasti je důležitá především u tranzistorů malých rozměrů a nízkých hodnot prahového napětí. V tomto případě při nevodivém stavu tranzistoru (kdy  $U_{GS}$  je v log 0), je napětí na hradle pouze nepatrně nižší než je prahové napětí, což nemusí zaručit úplné uzavření tranzistoru. Tento nežádoucí proud kolektoru potom může znatelně zhoršit funkci obvodu.

Nežádoucí působení podprahových proudů lze ilustrovat na převodní charakteristice tranzistoru MIS s dlouhým a krátkým kanálem - obr. 4.5.



Obr. 4.5 Převodové charakteristiky tranzistoru MOS s dlouhým a krátkým kanálem



Obr. 4.6 Převodové charakteristiky tranzistoru MOS s krátkým a dlouhým kanálem v podprahové oblasti

## 5.0 Technologie CMOS

Technologie CMOS (Complementary MOS) využívá tranzistorů MOS s oběma typy vodivosti kanálu N i P, které se vytvářejí na stejném čipu IO. V etapě VLSI má dominantní postavení.

Technologie CMOS má dvě zásadně se lišící technologické varianty:

- první varianta využívá klasický typ substrátu Si
- druhá varianta označovaná SOI (Silicon on insulator),

kdy se na izolační podložce vytvářejí tenké monokrystalické křemíkové vrstvy, ve kterých se vytvářejí IO.

K tomu, aby bylo možné vytvářet na stejném čipu oba typy tranzistorů, musí se na substrátu Si vytvořit oba typy vodivosti. Na substrátu typu P se proto musí vytvořit oblasti s vodivostí typu N - tzv. jámy N<sup>-</sup>, resp. na substrátu typu N se vytvoří jámy P<sup>-</sup>. Když se na semizolačním substrátu vytvoří jak oblasti s vodivostí N, tak i s vodivostí P, je to technologie se dvěma jámami.

Běžná technologie CMOS s jámou P<sup>-</sup> využívá substrátu typu N s koncentrací nosičů odpovídající požadovaným hodnotám prahového napětí tranzistorů s kanálem typu P ( $N_D \sim 10^{15} \text{cm}^{-3}$ ). Pro dosažení stejných absolutních hodnot prahového napětí

Když napětí na hradle klesne pod hodnotu prahového napětí, proud tekoucí kanálem začne klesat exponenciálně - obr. 4.6. U tranzistorů s krátkým kanálem jsou hodnoty podprahových proudů podstatně vyšší. Rychlost poklesu proudu v podprahové oblasti závisí na hodnotě napětí na hradle, na délce kanálu a na teplotě. Proud  $I_D$  v podprahové oblasti lze v prvním přiblížení vyjádřit vztahem  $I_D \sim I_0 \exp(q U_{GS}/kT)$ .

Problémy s vysokou hodnotou podprahového proudu mohou vzniknout u obvodů CMOS. Rovněž u polovodičových pamětí typu DRAM, kde náboj nesoucí informaci, je v paměťové buňce zachycen na kapacitoru, ten se může v důsledku nedostatečně "zavřeného" tranzistoru (podprahové proudy) vybíjet mezi jednotlivými obnovevacími cykly.

u obou typů tranzistorů, se vyžaduje, aby jáma P<sup>-</sup> měla koncentraci o 1 řád vyšší ( $N_A \sim 10^{16} \text{cm}^{-3}$ ). Relativně vysoká koncentrace jámy P<sup>-</sup> vede k nežádoucímu zvyšování tzv. efektu zpětného hradla, kdy polarizace substrátu oproti uzemněnému emitoru způsobuje modulaci vodivosti kanálu - s polarizací substrátu se mění hodnota prahového napětí. Pro tranzistory s kanálem typu N lze efekt zpětného hradla částečně odstranit vytvořením jámy N<sup>-</sup> v substrátu typu P. Rovněž ani nežádoucí působení parazitních bipolárních tranzistorů PNP, které mají ve struktuře s jámou N<sup>-</sup> převládající vliv při jevu "latchup", není tak silné jako v případě technologie s jámou P<sup>-</sup>, kde převládající vliv mají tranzistory NPN.

Obecně je možné nepříznivý vliv podložky odstranit využitím technologie s jámami N<sup>-</sup> a P<sup>-</sup>. Každá jáma může být vytvořena s optimální koncentrací pro korespondující tranzistory. Tato struktura přináší i další výhody. Je symetrická, snižuje pravděpodobnost výskytu průrazu kanálu, snižuje vliv parazitních bipolárních tranzistorů, zvyšuje rychlost a hustotu integrace. Substrátem v této technologii bývá buď vysokohodnotový Si typu N nebo nízkohodnotový Si typu N s vysokohodnotovou epitaxní vrstvou typu N.

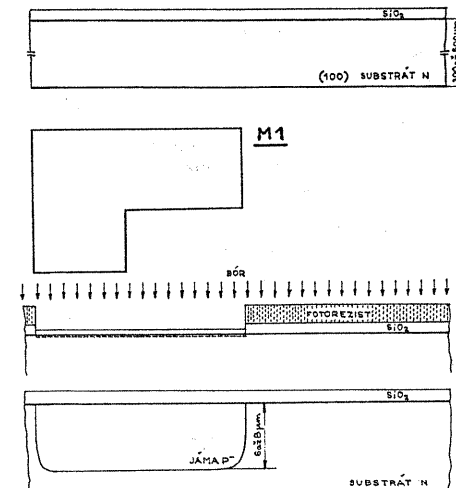
V další části bude uveden proces vytváření invertoru CMOS. Tento invertor je prakticky základním kamenem při vytváření IO CMOS.

Uvedený příklad znázorňuje technologický proces CMOS s poly Si hradlem a s jámou P<sup>-</sup>. Principiálně se tento proces neliší od procesu s jámou N<sup>-</sup>, resp. s dvěma jámami N<sup>-</sup> a P<sup>-</sup>. Pro objasnění technologie CMOS je postačující.

### 5.1 Základní postupy vytváření invertoru v technologii CMOS s poly Si hradlem a jámou P<sup>-</sup>

Sled základních technologických kroků při vytváření struktury invertoru CMOS s polykrytalickým Si hradlem bude dále heslovitě popsán a znázorněn. Rovněž je zde kladen důraz na návrh topografie jednotlivých úrovní masek - viz obr. 5.1 až 5.6.

1. Substrát Si vodivosti N, orientace (100), s koncentrací  $\sim 10^{15} \text{cm}^{-3}$ .
2. Vytvoření termického SiO<sub>2</sub> (suchý O<sub>2</sub>), 1040°C,  $d_I = 150$  až 200 nm. (Slouží jako maskovací oxid.)
3. MASKA č. 1 - oblasti jámy P<sup>-</sup> (fotorezist dr = 0,6 μm)
4. Leptání SiO<sub>2</sub> (vytvoření motivu)
5. Vytvoření tenkého termického SiO<sub>2</sub>,  $d_I = 100$  nm, (zabraňuje poškození povrchu při implantaci).
6. Implantace bóru <sup>11</sup>B, 100 keV;  $D_I = 1,5$  až  $4 \cdot 10^{13} \text{cm}^{-2}$
7. Odstranění rezistu



Obr. 5.1 Sled základních technologických kroků při vytváření invertoru CMOS s poly Si hradlem